

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
10. Februar 2005 (10.02.2005)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2005/013379 A2**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 33/00**

GMBH [DE/DE]; Wernerwerkstrasse 2, 93049 Regens-  
burg (DE).

(21) Internationales Aktenzeichen: PCT/DE2004/001593

(72) Erfinder; und

(22) Internationales Anmeldedatum:  
22. Juli 2004 (22.07.2004)

(75) Erfinder/Anmelder (*nur für US*): **HÄRLE, Volker**  
[DE/DE]; Eichenstrasse 35, 93164 Waldetzenberg (DE).

(25) Einreichungssprache: Deutsch

(74) **Anwalt: EPPING HERMANN FISCHER PATEN-  
TANWALTSGESELLSCHAFT MBH**; Ridlerstrasse 55,  
80339 München (DE).

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
103 35 080.2 31. Juli 2003 (31.07.2003) DE

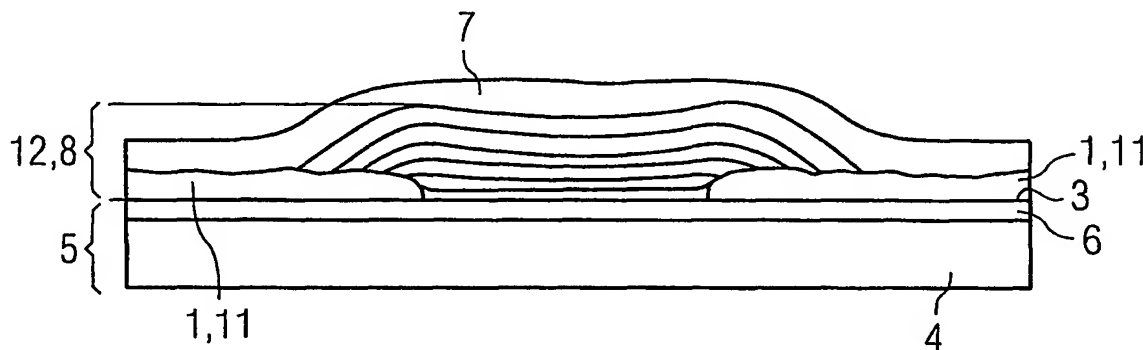
(81) **Bestimmungsstaaten** (*soweit nicht anders angegeben, für  
jede verfügbare nationale Schutzrechtsart*): AE, AG, AL,  
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,  
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,  
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,

(71) **Anmelder** (*für alle Bestimmungsstaaten mit Ausnahme  
von US*): **OSRAM OPTO SEMICONDUCTORS**

[Fortsetzung auf der nächsten Seite]

(54) **Title:** METHOD FOR THE PRODUCTION OF A PLURALITY OF OPTO-ELECTRONIC SEMICONDUCTOR CHIPS  
AND OPTO-ELECTRONIC SEMICONDUCTOR CHIP

(54) **Bezeichnung:** VERFAHREN ZUR HERSTELLUNG EINER VIELZAHL VON OPTOELEKTRONISCHEN HALBLEITER-  
CHIPS UND OPTOELEKTRONISCHER HALBLEITERCHIP



(57) **Abstract:** The invention relates to a method for the production of a plurality of opto-electronic semiconductor chips which respectively comprise a plurality of structural elements with respectively at least one semiconductor layer. According to the inventive method, a chip composite base is produced, said base comprising a substrate and an epitaxial surface. A mask material layer is formed on the epitaxial surface, consisting of a plurality of windows whereby the average spread of most windows is less than or equal to 1 µm. The mask material is selected in such a way that a semiconductor material of the semiconductor layer, which is grown in a later step of the inventive method, cannot grow on said material or grows in a substantially worse manner in comparison with the epitaxial surface. Subsequently, semiconductor layers are deposited on the epitaxial surface in an essentially simultaneous manner on areas located inside the windows. In another step of the inventive method, the chip composite base with deposited material is separated to form semiconductor chips. The invention also relates to an optoelectronic semiconductor element produced according to said method.

(57) **Zusammenfassung:** Die Erfindung betrifft ein Verfahren zur Herstellung einer Vielzahl von optoelektronischen Halbleiterchips, die jeweils eine Vielzahl von Strukturelementen mit jeweils mindestens einer Halbleiterschicht aufweisen. Bei dem Verfahren wird eine Chipverbund-Basis bereitgestellt, die ein Substrat sowie eine Aufwachsfläche aufweist. Auf der Aufwachsfläche wird eine Maskenmaterialschicht ausgebildet, die eine Vielzahl von Fenstern aufweist, von denen die meisten eine mittlere Ausdehnung von kleiner als oder gleich 1 µm aufweisen. Dabei wird ein

[Fortsetzung auf der nächsten Seite]



KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT,

RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

- ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Maskenmaterial derart gewählt, dass sich ein in einem späteren Verfahrensschritt aufzuwachsendes Halbleitermaterial der Halbleiterschicht auf diesem im Wesentlichen nicht oder im Vergleich zur Aufwachsfläche wesentlich schlechter aufwachsen lässt. Nachfolgend werden Halbleiterschichten im Wesentlichen gleichzeitig auf innerhalb der Fenster liegende Bereiche der Aufwachsfläche abgeschieden. Ein weiterer Verfahrensschritt ist das Vereinzeln der Chipverbund-Basis mit aufgebrachttem Material zu Halbleiterchips. Die Erfindung betrifft zudem ein nach dem Verfahren hergestelltes optoelektronisches Halbleiterbauelement.